

# AVP32F335 数字信号处理器

## ADC 应用说明

**Advancechip**



**Electronics**

编号: JXDZ7.381.004 YYSM-ADC

**湖南进芯电子科技有限公司**

2022 年 09 月

V2.1

### 历史版本记录

版本号	时间	起草/ 修改人	内容描述	审核人	批准人
V1.0	2019-07-11	何 龙	首次发布	吴修英	张 巍
V1.1	2022-04-13	何 龙	修订	吴修英	张 巍
V2.0	2022-08-08	曹伦武	针对优化说明	吴修英	张 巍
V2.1	2022-09-16	何龙	修订优化说明	吴修英	张 巍

## 目录

历史版本记录 .....	1
1. 概述 .....	3
2. ADC 使用建议 .....	3
2.1. ADC 简介 .....	4
2.1.1 如果 ADC 未被使用, ADC 连接方式 .....	9
2.1.2 ADC 寄存器 .....	9
2.1.3 ADC 校准 .....	10
2.2. ADC 使用模式 .....	11
2.2.1 ADC 使用模式一: 正压单端模式 ADCL0 接 0 V .....	11
2.2.2 ADC 使用模式二: 负压单端模式 ADCL0 接 -1.5V .....	12
2.2.3 ADC 使用模式三: 正压差分模式 .....	13
2.3.4 ADC 使用模式四: 负压差分模式 .....	14
2.3.5 差分模式使用注意事项 .....	15
2.3.6 外设帧 0 (PF0) 和外设帧 2 (PF2) 的 ADC 结果位置优化 B 版本与 A 版本差异 .....	16
附录: 高带宽 ACQPS 设置计算 .....	18

## 1. 概述

本文档将重点阐述湖南进芯电子优化版的 AVP32F335 的 ADC 使用，方便客户了解芯片的特性和使用方法。如用户对具体功能模块有进一步了解需要，可查阅相应产品数据手册。

## 2. ADC 使用建议

我司设计的 ADC 在使用时需要严格注意一下事项：

1. ADC 输入端 LPF 的 RC 设置:R=2200 Ω；C=220pf；ACQPS 随频率的设置值参见表 1。
2. 详细设置参见附录《高带宽 ACQPS 设置计算》。

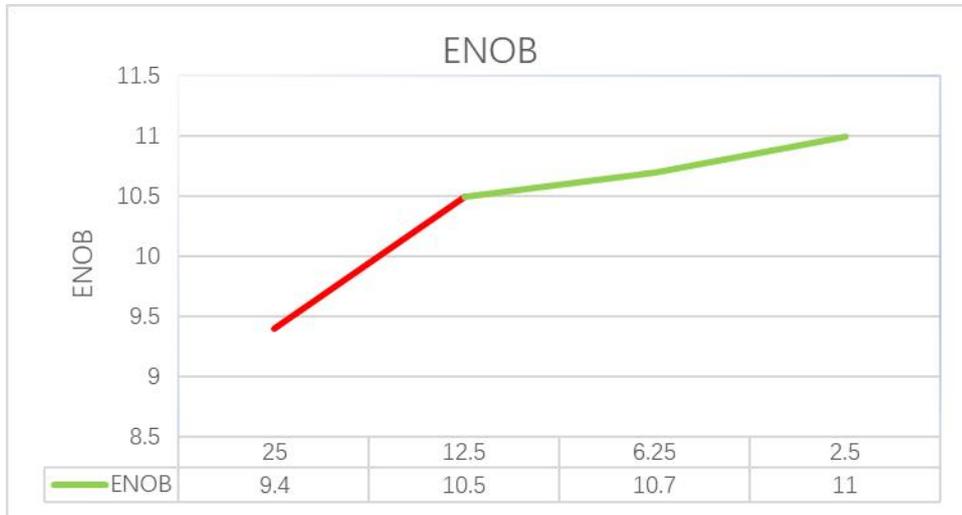
(电阻型号：0603waj0222t5e uniohm，器件阻值偏差：±5%，温度偏差：±100ppm/°C；电容型号：0603B221K500NT FH，器件容值偏差：±10%，温度偏差：X7R)

表 1 ACQPS 随频率的设置值

n (位)	settling error (LSB)	f <sub>ADCCLK</sub> (Hz)	ACQPS设置值
12	0.25	3000000	7
12	0.25	25000000	12
12	0.25	24000000	12
12	0.25	23000000	11
12	0.25	22000000	11
12	0.25	21000000	10
12	0.25	20000000	10
12	0.25	19000000	9
12	0.25	18000000	9
12	0.25	17000000	8
12	0.25	16000000	8
12	0.25	15000000	7
12	0.25	14000000	6
12	0.25	13000000	6
12	0.25	12000000	5
12	0.25	11000000	5
12	0.25	10000000	4
12	0.25	9000000	4
12	0.25	8000000	3
12	0.25	7000000	3
12	0.25	6000000	2
12	0.25	5000000	2
12	0.25	4000000	1
12	0.25	3000000	1
12	0.25	2000000	0
12	0.25	1000000	0

3. 我司 ADC 的设计结构为流水线型 ADC，16 位数据，实际有效精度位：ENOB 会随着 ADC 的工作频率变化，以 12.5MHz 为性能分割点，ADC 时钟超过 12.5MHz 后 ADC

的 ENOB 会出现明显的下降，25MHz 时会降到 9.4 位左右，故对 ADC 的 ENOB 有很高需求的客户建议 ADC 的工作频率不超过 12.5MHz。



## 2.1. ADC 简介

ADC 模块具有 16 个通道，并可配置为用于 ePWM 模块的 2 个独立的 8 通道模块。可将 2 个独立的 8 通道模块级联成 1 个 16 通道模块。尽管有多个输入通道和 2 个序列发生器，但在 ADC 模块中只有一个转换器。图 1 显示了 ADC 模块的方框图。

ADC 模块的功能包括：

- 具有内置 S/H 的 16 位 ADC 内核（输出数据分 12 位和 16 位两档）
- 模拟输入：

正压单端模式 ADCLO 接 0.0 V： $0.0\text{ V} \leq \text{ADCINA}/\text{B}_x \leq 3.0\text{ V}$ （高于 3.0 V 的电压会产生满量程转换结果）；

负压单端模式 ADCLO 接 -1.5 V： $-1.5\text{ V} \leq \text{ADCINA}/\text{B}_x \leq 1.5\text{ V}$ （高于 1.5 V 的电压会产生满量程转换结果）；

正压差分模式：ADCINA/BX 与 ADCINA/BX+1 (X 为偶数) 的共模值等于 1.5 V，差模值的峰峰值  $\leq 3.0\text{ V}$ （高于 3.0 V 的电压会产生满量程转换结果）；

负压差分模式：ADCINA/BX 与 ADCINA/BX+1 (X 为偶数) 的共模值等于 0.0 V，差模值的峰峰值  $\leq 3.0\text{ V}$ （高于 3.0 V 的电压会产生满量程转换结果）；

- 快速转换速率：

12 位输出数据，在 25 MHz ADC 时钟，12.5 百万次采样每秒钟 (MSPS) 时最快转换速度

高达80 ns

16位输出数据，在12.5 MHz ADC时钟，6.25百万次采样每秒钟（MSPS）时最快转换速度高达160 ns

- 16 个输入通道，多路复用输入
- 自动排序功能可在单个会话中提供多达16个“自动转换”。可以对每个转换进行编程，以选择16个输入通道中的任何一个
- 可将排序器作为 2 个独立的 8 态排序器，或作为 1 个较大的 16 态排序器使用（即 2 个级联的 8态排序器）。
- 16个结果寄存器（可单独寻址）存储转换值
- 输入模拟电压的数字值由以下公式得出：

- 正压单端模式 ADCLO 接 0 V:

$$\text{Digital Value} = 0 \quad \text{when } input \leq 0V$$

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - \text{ADCLO}}{3} \quad \text{when } 0V < input < 3V$$

$$\text{Digital Value} = 4095 \quad \text{when } input \geq 3V$$

- 负压单端模式 ADCLO 接 -1.5 V:

$$\text{Digital Value} = 0 \quad \text{when } input \leq -1.5V$$

$$\text{Digital Value} = 4096 \times \frac{\text{Input Analog Voltage} - \text{ADCLO}}{3} \quad \text{when } -1.5V < input < 1.5V$$

$$\text{Digital Value} = 4095 \quad \text{when } input \geq 1.5V$$

- 正压差分模式（ADCINA/BX 与 ADCINA/BX+1(X 为偶数) 的共模值等于 1.5 V, input 为 ADCINA/BX 与 ADCINA/BX+1(X 为偶数) 的差模值)：

$$\text{Digital Value} = 0 \quad \text{when } input \leq -1.5V$$

$$\text{Digital Value} = 4096 \times \frac{input + 1.5}{3} \quad \text{when } -1.5V < input < 1.5V$$

$$\text{Digital Value} = 4095 \quad \text{when } input \geq 1.5V$$

- 负压差分模式（ADCINA/BX 与 ADCINA/BX+1(X 为偶数) 的共模值等于 0 V, input 为 ADCINA/BX 与 ADCINA/BX+1(X 为偶数) 的差模值)：

$$\text{Digital Value} = 0 \quad \text{when } input \leq -1.5V$$

$$\text{Digital Value} = 4096 \times \frac{input + 1.5}{3} \quad \text{when } -1.5V < input < 1.5V$$

Digital Value = 4095

when input  $\geq 1.5V$

A 所有分数值均截断（小数位都舍去），负压模式时需要 VDDA2/VSSA2 接 1.65V/-1.65V 电压，差分模式时，设置对应位（ADCTRL4[13]）后，ADC 会自动切断 ADCLO 与内部电路的连接。

- 作为序列转换开始的多个触发源
  - S/W -软件立即启动
  - ePWM 触发 ADC 开始转换
  - XINT2 ADC 触发 ADC 开始转换
- 灵活的中断控制允许对每个序列结束（EOS）或每隔一个EOS的中断请求。
- 排序器可运行于“启动/停止”，以便多个“时序触发器”进行同步转换
- SOCA和SOCB触发器可以在双排序器模式下独立运行。
- 采样保持（S/H）采集时间窗口具有单独的预分频控制。

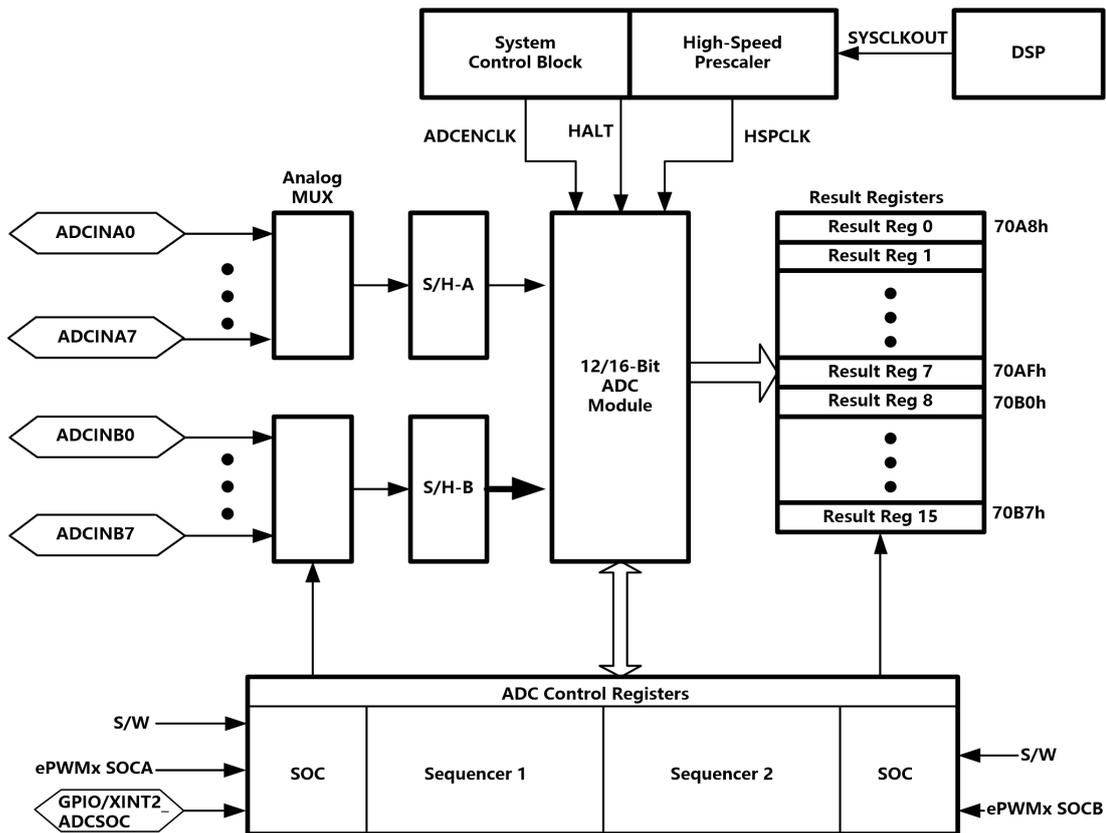


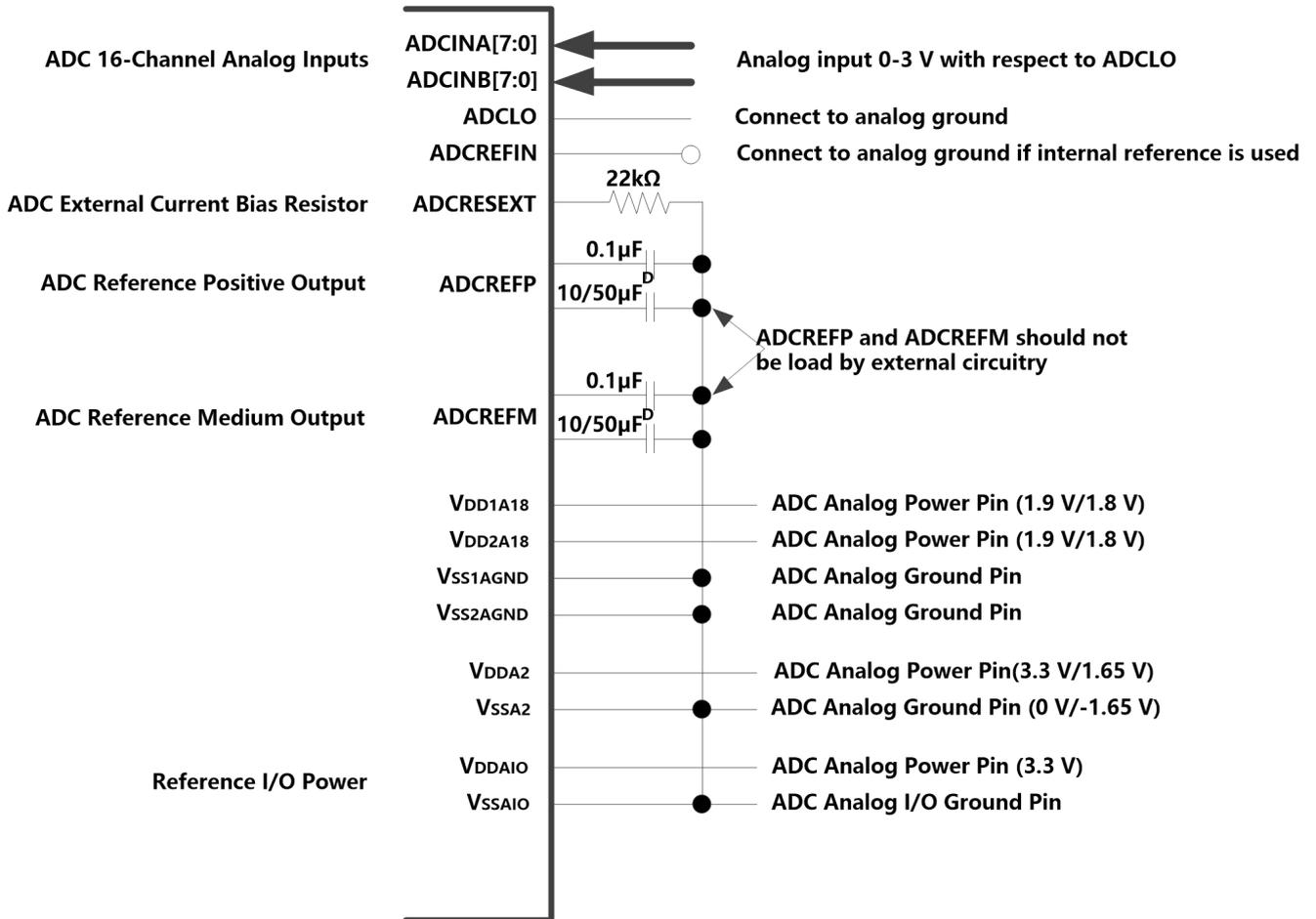
图 1 ADC 模块的方框图

要获得指定的 ADC 精度，正确的电路板布局非常关键。为尽可能达到最佳效果，引入 ADCIN 引脚的走线不应太靠近数字信号通道。这是为了最大程度地减少数字线路上因 ADC 输入耦合而产生的开关噪声。而且，适当的隔离技术必须被用来将数字电源从 ADC 模块电源引脚 (VDD1A18, VDD2A18, VDDA2, VDDA10) 上隔离。图 2 显示针对器件的 ADC 引脚。

注

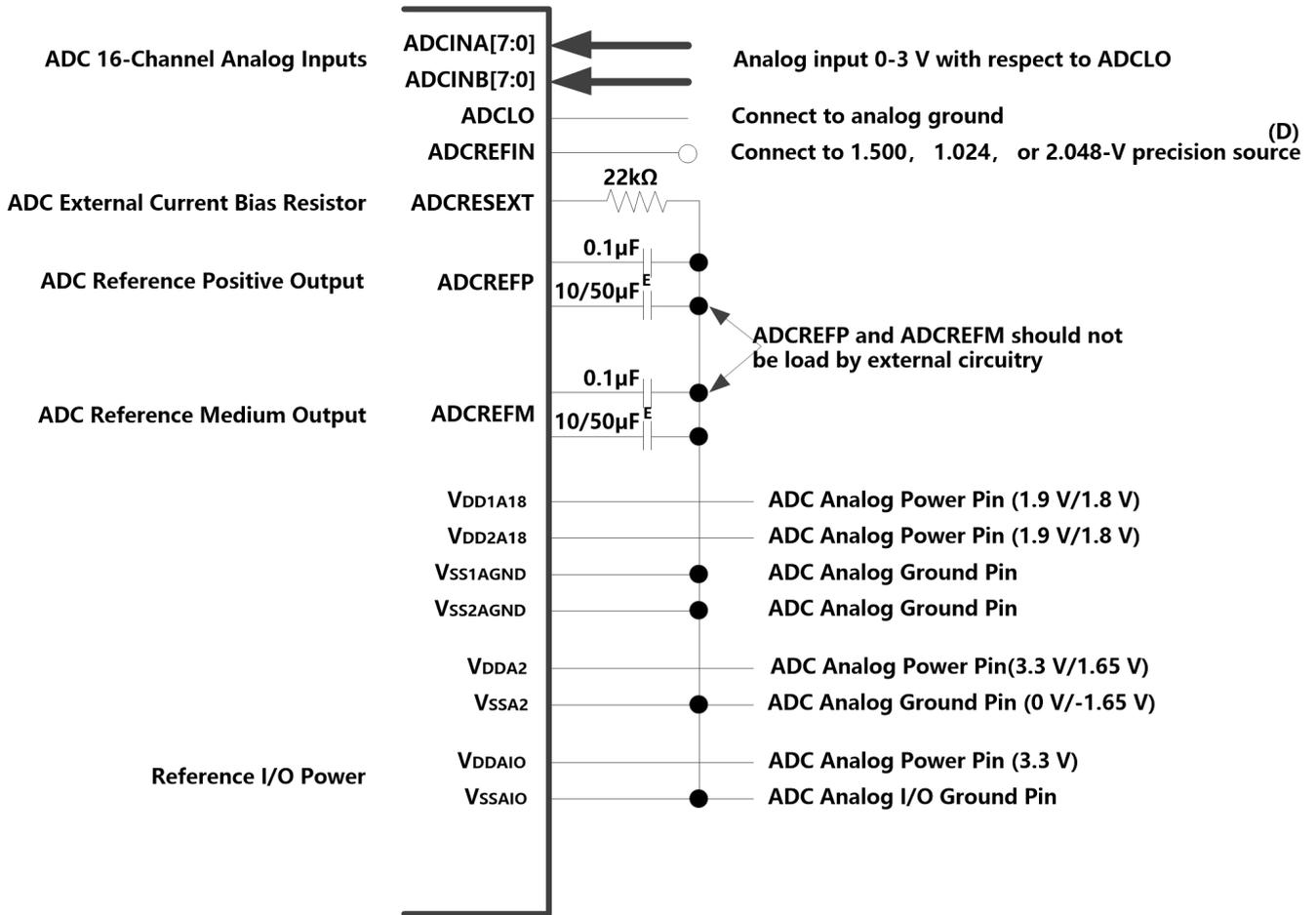
1. 用 SYSCLKOUT 速率对 ADC 寄存器进行访问。ADC 模块的内部时序由高速外设时钟(HSPCLK)控制。
2. 基于 ADCENCLK 和 HALT 信号的 ADC 模块的运行方式如下：
  - ADCENCLK: 复位时，这个信号必须为低电平。虽然复位为低电平有效(XRS)，到寄存器的时钟将仍然起作用。有必要确保所有寄存器和模式进入它们的复位状态。然而，模拟模块将处于一个低功耗非激活状态。一旦复位变成高电平，那么到寄存器的时钟将被禁用。当用户将 ADCENCLK 信号设定为高电平时，那么到寄存器的时钟将被启用并且模拟模块将被启用。在 ADC 稳定并且可被使用之前，将有一个特定的时间延迟（毫秒范围内）。
  - HALT: 这个模式只影响模拟模块。它不影响寄存器。在这个模式下，ADC 模块进入低功耗模式。这个模式将停止到 CPU 的时钟，即 HSPCLK；因此，将间接的关闭 ADC 逻辑。

图 2 显示了针对内部基准的 ADC 引脚偏置而图 3 显示了针对外部基准的 ADC 引脚偏置。



- A. 建议在所有电源引脚上使用外部去耦合电容器。
- B. 必须从不会降低 ADC 性能的运算放大器上驱动模拟输入。
- C. 所有电容都必须布局在距离芯片对应引脚最近的地方。
- D. ADC时钟 > 12.5MHz时需接50µf电容，ADC时钟 ≤ 12.5MHz时需接10µf电容。

图 2 带有内部基准的 ADC 引脚连接



- A. 建议在所有电源引脚上使用外部去耦合电容器。
- B. 模拟输入必须由一个运算放大器驱动，此运算放大器不会降低 ADC 性能。
- C. 所有电容都必须布局在距离芯片对应引脚最近的地方。
- D. 根据这个引脚上的电压，通过改变 ADC 基准选择寄存器中的位 15:14 可启用 ADCREFIN 上的外部电压。总体增益精度将由这个电压源的精度确定。
- E. ADC时钟 > 12.5MHz时需接50μf电容，ADC时钟 ≤ 12.5MHz时需接10μf电容。

图 3 带有外部基准的 ADC 引脚连接

注

任何推荐组件的额定温度必须与最终产品的额定值相匹配。

### 2.1.1 如果 ADC 未被使用，ADC 连接方式

建议保持针对模拟电源引脚的连接，即便在 ADC 未被使用时也是如此。下面总结了如果 ADC 未在应用中使用，应该如何连接 ADC 引脚：

- $V_{DD1A18}/V_{DD2A18^-}$  连接至  $V_{DD}$
- $V_{DDA2}$ ,  $V_{DDAIO^-}$  连接至  $V_{DDIO}$
- $V_{SS1AGND}/V_{SS2AGND}$ ,  $V_{SSA2}$ ,  $V_{SSAIO^-}$  连接至  $V_{SS}$
- ADCLO - 连接至  $V_{SS}$
- ADCREFIN - 连接至  $V_{SS}$
- ADCREFP/ADCREFM - 连接一个 100nF 电容器至  $V_{SS}$
- ADCRESEXT - 连接一个 20k $\Omega$  电阻器（阻值偏差容忍度很大）至  $V_{SS}$ 。
- ADCINAn, ADCINBn - 连接至  $V_{SS}$

当 ADC 未被使用时，为了达到节能的目的，请确保到 ADC 模块的时钟未被打开。当在一个应用中使用 ADC 模块时，未使用的 ADC 输入引脚应被连接至模拟接地（VSS1AGND/VSS2AGND）

注

只有当 ADC 的校准程序从引导 ROM 执行时，ADC 的增益误差和偏移误差参数才为额定值。更多信息请查阅节 4.7.3。

### 2.1.2 ADC 寄存器

表 2 中所列寄存器对 ADC 操作进行配置、控制和监视。

表 2 ADC 寄存器

名称	地址(1)	地址(2)	大小(x 16)	说明
ADCTRL1	0x7100		1	ADC 控制寄存器 1
ADCTRL2	0x7101		1	ADC 控制寄存器 2
ADCMAXCONV	0x7102		1	ADC 最大转换信道数寄存器
ADCCHSELSEQ1	0x7103		1	ADC 信道选择定序控制寄存器 1
ADCCHSELSEQ2	0x7104		1	ADC 信道选择定序控制寄存器 2
ADCCHSELSEQ3	0x7105		1	ADC 信道选择定序控制寄存器 3
ADCCHSELSEQ4	0x7106		1	ADC 信道选择定序控制寄存器 4
ADCASEQSR	0x7107		1	ADC 自动定序状态寄存器
ADCRESULT0	0x7108	0x0B00	1	ADC 转换结果缓冲寄存器 0
ADCRESULT1	0x7109	0x0B01	1	ADC 转换结果缓冲寄存器 1
ADCRESULT2	0x710A	0x0B02	1	ADC 转换结果缓冲寄存器 2
ADCRESULT3	0x710B	0x0B03	1	ADC 转换结果缓冲寄存器 3

ADCRESULT4	0x710C	0x0B04	1	ADC 转换结果缓冲寄存器 4
ADCRESULT5	0x710D	0x0B05	1	ADC 转换结果缓冲寄存器 5
ADCRESULT6	0x710E	0x0B06	1	ADC 转换结果缓冲寄存器 6
ADCRESULT7	0x710F	0x0B07	1	ADC 转换结果缓冲寄存器 7
ADCRESULT8	0x7110	0x0B08	1	ADC 转换结果缓冲寄存器 8
ADCRESULT9	0x7111	0x0B09	1	ADC 转换结果缓冲寄存器 9
ADCRESULT10	0x7112	0x0B0A	1	ADC 转换结果缓冲寄存器 10
ADCRESULT11	0x7113	0x0B0B	1	ADC 转换结果缓冲寄存器 11
ADCRESULT12	0x7114	0x0B0C	1	ADC 转换结果缓冲寄存器 12
ADCRESULT13	0x7115	0x0B0D	1	ADC 转换结果缓冲寄存器 13
ADCRESULT14	0x7116	0x0B0E	1	ADC 转换结果缓冲寄存器 14
ADCRESULT15	0x7117	0x0B0F	1	ADC 转换结果缓冲寄存器 15
ADCTRL3	0x7118		1	ADC 控制寄存器 3
ADCTRL4	0x711A		1	ADC 控制寄存器 4
ADCST	0x7119		1	ADC 状态寄存器
保留	0x711B		1	
ADCREFSSEL	0x711C		1	ADC 基准选择寄存器
ADCOFFTRIM	0x711D		1	ADC 偏移调整寄存器
保留	0x711E 0x711F		2	
ADCTRL5	0x7012		1	ADC 控制寄存器 5

(1)本列中的寄存器为外设帧 2 寄存器。

(2)ADC 结果寄存器是双映射。外设帧 2(0x7108-0x7117)中的位置为 2 等待状态，且为左对齐。外设帧 0 空间 (0x0B00-0x0B0F) 的位置对 CPU 访问是 1 等待状态和对于 DMA 访问是 0 等待状态，右对齐。在 ADC 的高速/连续转换使用期间，使用 0 等待状态位置进行 ADC 结果到用户内存的快速转换。

### 2.1.3 ADC 校准

ADC\_cal()例程被工厂编程到 Advchip 预留的 OTP 存储器中。引导 ROM 自动调用 ADC\_cal()例程来使用特定器件的校准数据来初始化 ADCREFSSEL 和 ADCOFFTRIM 寄存器。正常运行期间，这个过程中会自动发生，无需用户进行任何操作。

如果在开发过程中，引导 ROM 被 CodeComposerStudio 绕过，那么 ADCREFSSEL 和 ADCOFFTRIM 就必须由应用进行初始化。

#### 注

这些寄存器初始化失败将导致 ADC 的功能不能达到技术规格。

如果系统复位或 ADC 模块使用 ADC 控制寄存器 1 中的 14 位（复位）复位，则必须重复例程。

## 2.2. ADC 使用模式

### 2.2.1 ADC 使用模式一：正压单端模式 ADCLO 接 0 V

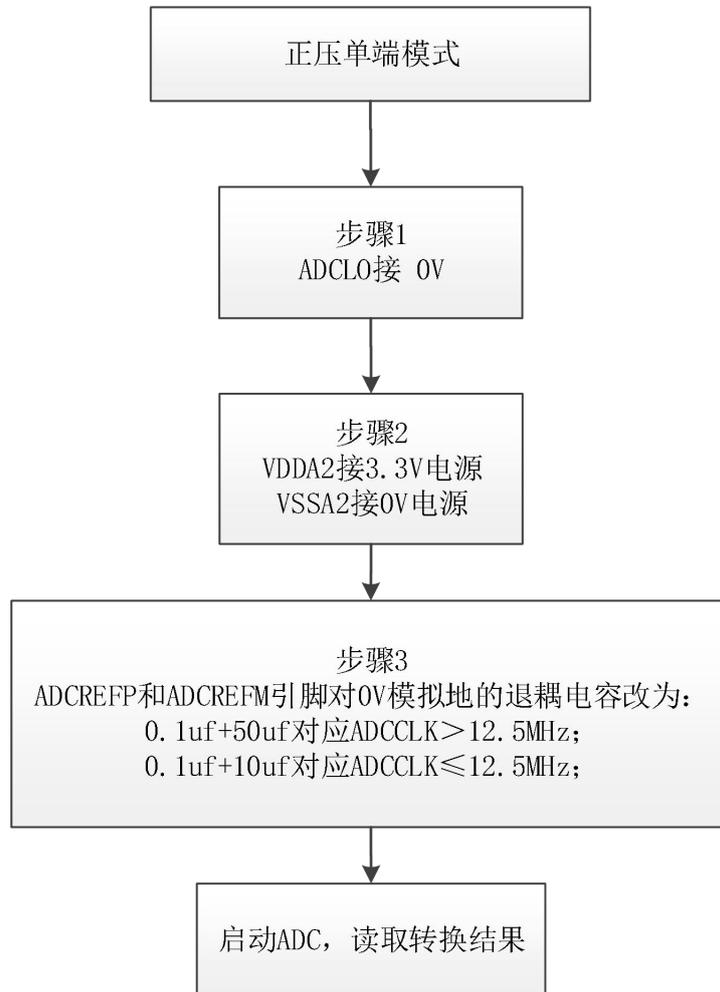


图 4 正压单端模式使用流程图

## 2.2.2 ADC 使用模式二：负压单端模式 ADCLO 接 -1.5V

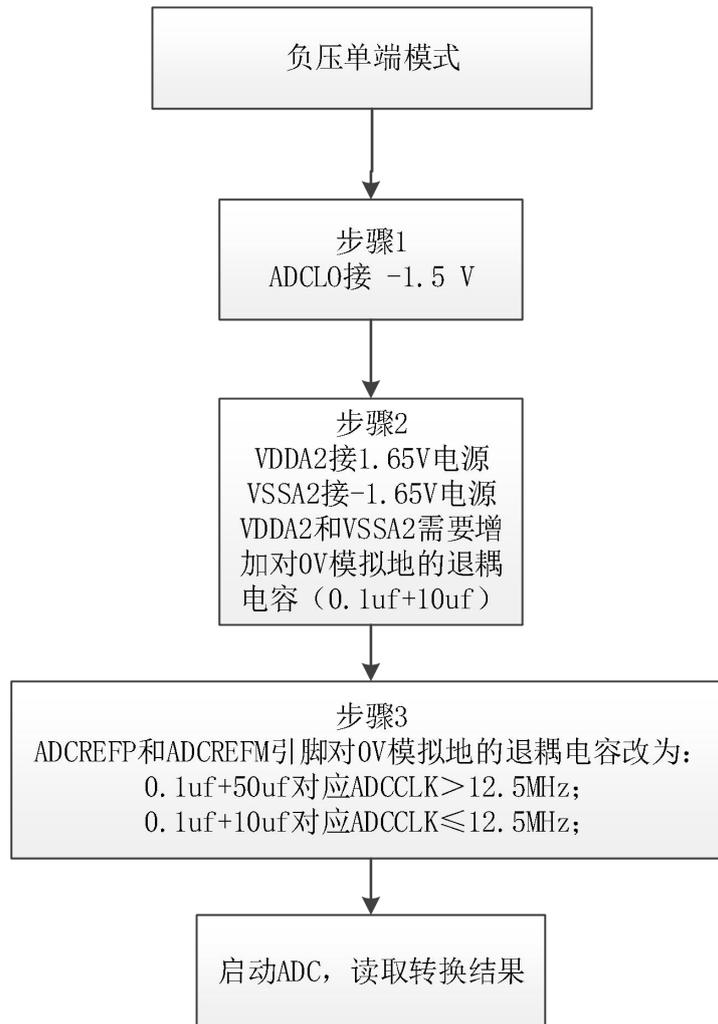


图 5 负压单端模式使用流程图

### 2.2.3 ADC 使用模式三：正压差分模式

(ADCINA/BX 与 ADCINA/BX+1(X 为偶数) 的共模值等于 1.5 V, input 为 ADCINA/BX 与 ADCINA/BX+1(X 为偶数) 的差模值)

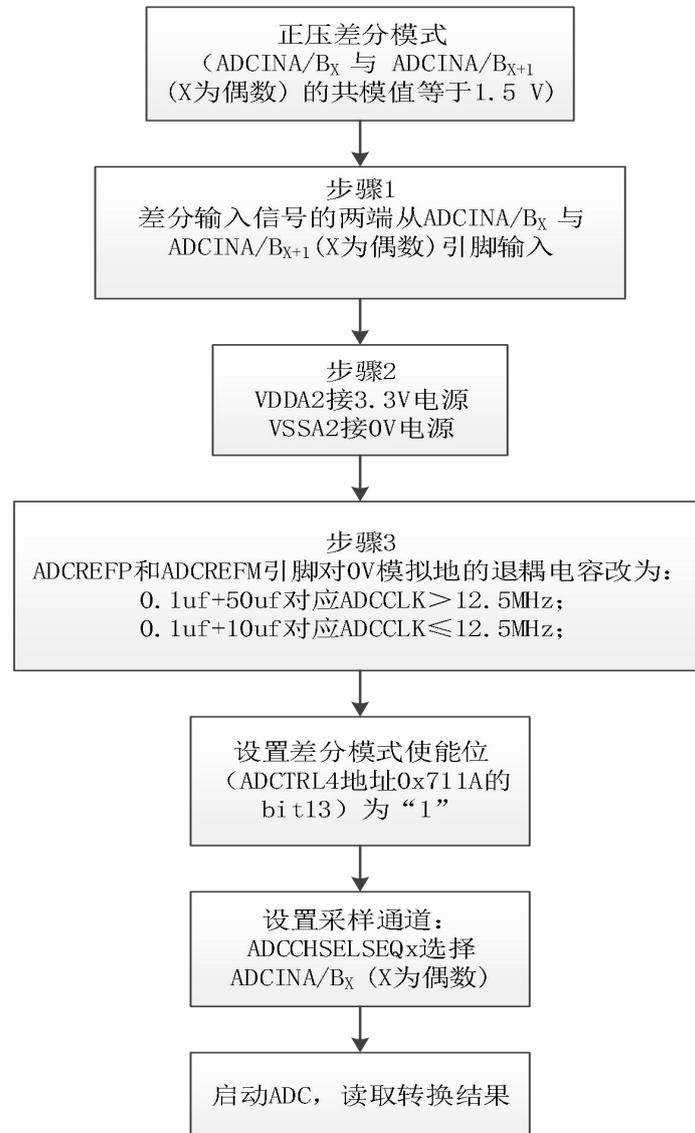


图 6 正压差分模式使用流程图

差分模式时，设置差分模式使能位 (ADCTRL4[13]) 为“1”后，ADC 会自动切断 ADCLO 与内部电路的连接，信号从差分对输入。ADCINA0 与 ADCINA1; ADCINA2 与 ADCINA3; ADCINA4 与 ADCINA5; ADCINA6 与 ADCINA7; ADCINB0 与 ADCINB1; ADCINB2 与 ADCINB3; ADCINB4 与 ADCINB5; ADCINB6 与 ADCINB7; 是 ADC 的 8 个差分对输入端。ADCINA/Bx 的 x 为偶数的端口为差分对正端，ADCINA/Bx 的 x 为奇数的端口为差分对负端。

### 2.3.4 ADC 使用模式四：负压差分模式

(ADCINA/BX 与 ADCINA/BX+1(X 为偶数) 的共模值等于 0 V, input 为 ADCINA/BX 与 ADCINA/BX+1(X 为偶数) 的差模值)

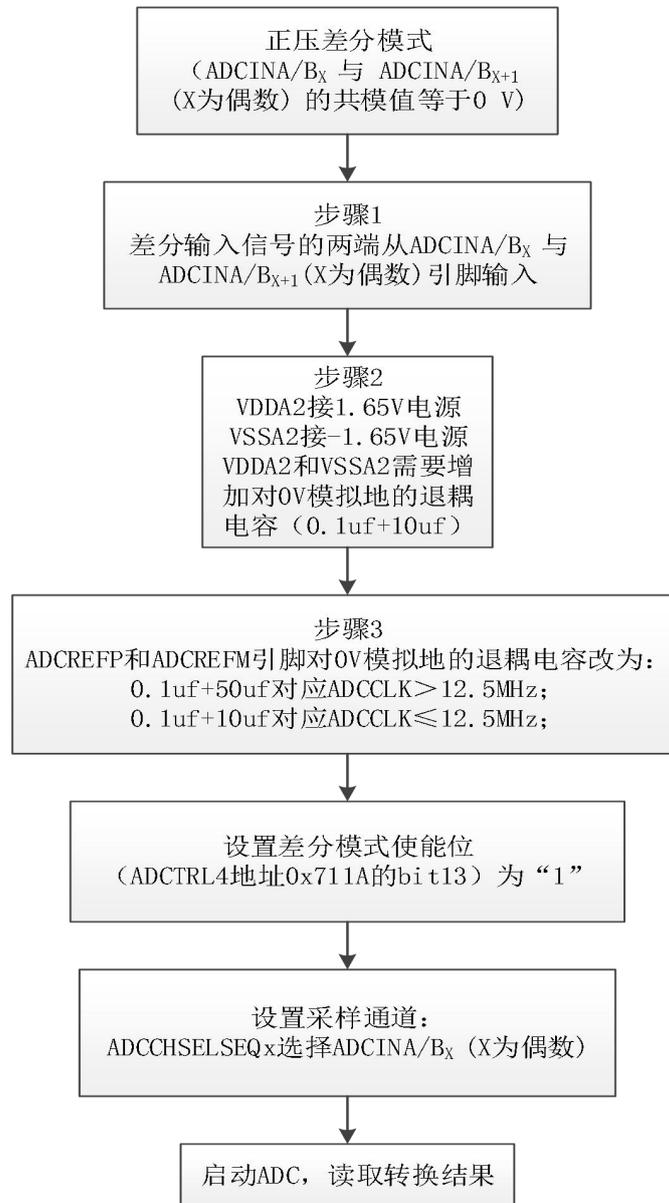


图 7 负压差分模式使用流程图

差分模式时，设置差分模式使能位 (ADCTRL4[13]) 为“1”后，ADC 会自动切断 ADCLO 与内部电路的连接，信号从差分对输入。ADCINA0 与 ADCINA1；ADCINA2 与 ADCINA3；ADCINA4 与 ADCINA5；ADCINA6 与 ADCINA7；ADCINB0 与 ADCINB1；ADCINB2 与 ADCINB3；ADCINB4 与 ADCINB5；ADCINB6 与 ADCINB7；是 ADC 的 8 个差分对输入端。ADCINA/Bx 的 x 为偶数的端口为差分对正端，ADCINA/Bx 的 x 为奇数的端口为差分对负端。

### 2.3.5 差分模式使用注意事项

差分模式设置采样通道时，只能设置为 ADCINA/Bx (x 为偶数)，如 ADCINA0、ADCINA2、ADCINA4、ADCINA6、ADCINB0、ADCINB2、ADCINB4、ADCINB6；

ADC 转换结果存放位置对应关系为：第 1 个结果放在结果寄存器 0，第 2 个结果放在结果寄存器 1，……第 16 个结果放在结果寄存器 0。

(例如：ADC 通道选择寄存器配置为 ADCCHSELSEQ1=0x6420；ADCCHSELSEQ2=0xECA8；ADCCHSELSEQ3=0x6420；ADCCHSELSEQ4=0xECA8 时；ADC 转换结果存放位置对应关系为：

结果寄存器 0 存放 ADCINA0 和 ADCINA1 差分对的值；

结果寄存器 1 存放 ADCINA2 和 ADCINA3 差分对的值；

结果寄存器 2 存放 ADCINA4 和 ADCINA5 差分对的值；

结果寄存器 3 存放 ADCINA6 和 ADCINA7 差分对的值；

结果寄存器 4 存放 ADCINB0 和 ADCINB1 差分对的值；

结果寄存器 5 存放 ADCINB2 和 ADCINB3 差分对的值；

结果寄存器 6 存放 ADCINB4 和 ADCINB5 差分对的值；

结果寄存器 7 存放 ADCINB6 和 ADCINB7 差分对的值；

结果寄存器 8 存放 ADCINA0 和 ADCINA1 差分对的值；

结果寄存器 9 存放 ADCINA2 和 ADCINA3 差分对的值；

结果寄存器 10 存放 ADCINA4 和 ADCINA5 差分对的值；

结果寄存器 11 存放 ADCINA6 和 ADCINA7 差分对的值；

结果寄存器 12 存放 ADCINB0 和 ADCINB1 差分对的值；

结果寄存器 13 存放 ADCINB2 和 ADCINB3 差分对的值；

结果寄存器 14 存放 ADCINB4 和 ADCINB5 差分对的值；

结果寄存器 15 存放 ADCINB6 和 ADCINB7 差分对的值；

### 2.3.6 外设帧 0 (PF0) 和外设帧 2 (PF2) 的 ADC 结果位置优化 B 版本与 A 版本差异

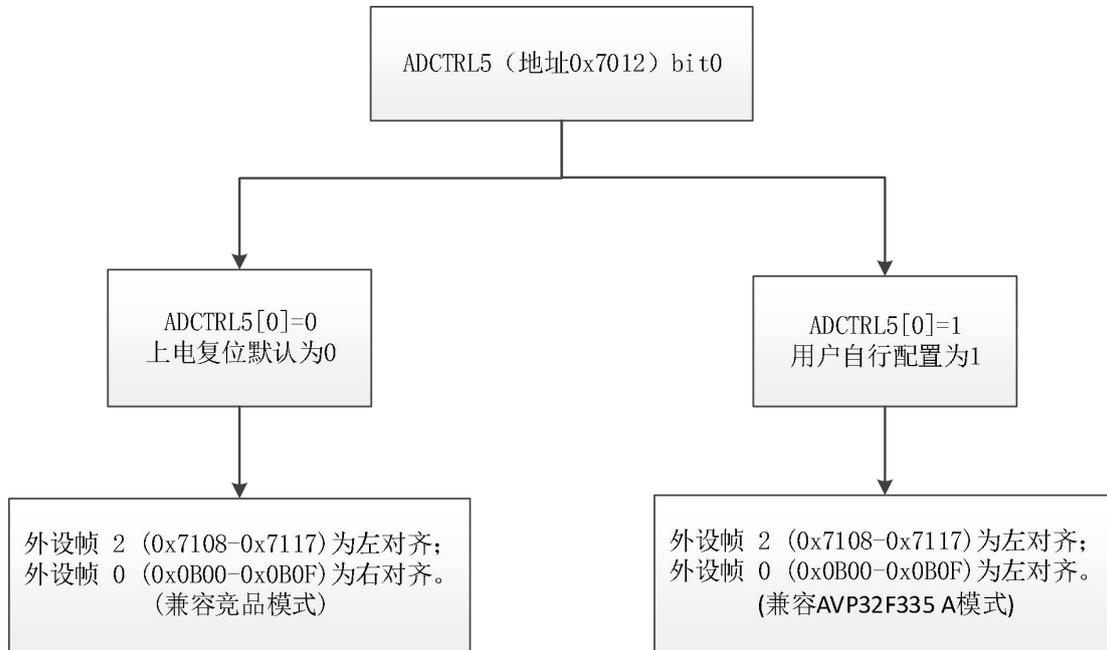


图 8 PF0 与 PF2 对齐方式切换示意图

在 AVP32F335 优化 B 版本中，新增一位控制位控制选择竞品兼容模式或全 16 位有效数据模式 (AVP32F335 A 版本模式)，上电复位后新增寄存器 ADCTRL5 (地址 0x7012) bit0 的值为“0”，选择兼容竞品模式，如图 8 所示。

此时的数据对齐方式为：当从具有 2 等待状态的外设帧 2 (0x7108-0x7117) 读取时，ADCRESULTn 寄存器为左对齐 (与竞品一致)，如图 9 所示；当从具有 0 等待状态的外设帧 0 (0x0B00-0x0B0F) 读取时，ADCRESULTn 寄存器为右对齐 (与竞品一致)，如图 10 所示。

15	14	13	12	11	10	9	8
D11	D10	D9	D8	D7	D6	D5	D4
R-0							
7	6	5	4	3	2	1	0
D3	D2	D1	D0	保留	保留	保留	保留
R-0							

图例：R/W=读/写；R=只读；-n=复位后的值

图 9 兼容模式 ADC 转换结果缓冲寄存器 (ADCRESULTn) (地址 0x7108h-0x7117h)

15	14	13	12	11	10	9	8
保留	保留	保留	保留	D11	D10	D9	D8
R-0							
7	6	5	4	3	2	1	0
D7	D6	D5	D4	D3	D2	D1	D0
R-0							

图例： R/W=读/写； R=只读； -n=复位后的值

图 10 兼容模式 ADC 转换结果缓冲寄存器 (ADCRESULTn) (地址 0x0B00-0x0B0F)

新增寄存器 ADCTRL5 (地址 0x7012) bit0 的值配置为“1”时, 选择 16 位有效数据模式 (AVP32F335 A 版本模式), 如图 8 所示。

此时的数据对齐方式为: 当从具有 2 等待状态的外设帧 2 (0x7108-0x7117) 读取时, ADCRESULTn 寄存器为左对齐 (16 位数据都有效, 如需只取 12 位数据, 取高 12 位数据即可), 如图 11 所示; 当从具有 0 等待状态的外设帧 0 (0x0B00-0x0B0F) 读取时, ADCRESULTn 寄存器为左对齐 (16 位数据都有效, 如需只取 12 位数据, 取高 12 位数据即可), 如图 12 所示。

15	14	13	12	11	10	9	8
D15	D14	D13	D12	D11	D10	D9	D8
R-0							
7	6	5	4	3	2	1	0
D7	D6	D5	D4	D3	D2	D1	D0
R-0							

图例： R/W=读/写； R=只读； -n=复位后的值

图 11 ADC 转换结果缓冲寄存器 (ADCRESULTn) (地址 0x7108h-0x7117h)

15	14	13	12	11	10	9	8
D15	D14	D13	D12	D11	D10	D9	D8
R-0							
7	6	5	4	3	2	1	0
D7	D6	D5	D4	D3	D2	D1	D0
R-0							

图例： R/W=读/写； R=只读； -n=复位后的值

图 12 ADC 转换结果缓冲寄存器 (ADCRESULTn) (地址 0x0B00-0x0B0F)

### 附录：高带宽 ACQPS 设置计算

n (位)	settling error (LSB)	Ron (Ω)	Ch (f)	Cp (f)	Rs公制值 (Ω)	Cs公制值 (f)	f <sub>ADCLK</sub> (Hz)	Ch工艺角余量	Rs和Cs器件误差系数	τ	k	t <sub>s,H</sub>	ACQPS计算值	ACQPS设置值
12	0.25	3400	1.6E-12	5E-12	56	2.2E-09	3000000	1	0%	1.2901E-07	2.477852	3.19667E-07	6.991665829	7
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	25000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	11.8654746	12
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	24000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	11.32941316	12
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	23000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	10.79335172	11
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	22000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	10.25729027	11
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	21000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	9.721228832	10
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	20000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	9.18516739	10
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	19000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	8.649105949	9
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	18000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	8.113044507	9
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	17000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	7.576983066	8
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	16000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	7.040921624	8
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	15000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	6.504860182	7
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	14000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	5.968798741	6
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	13000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	5.432737299	6
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	12000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	4.896675858	5
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	11000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	4.360614416	5
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	10000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	3.824552974	4
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	9000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	3.288491533	4
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	8000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	2.752430091	3
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	7000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	2.21636865	3
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	6000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	1.680307208	2
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	5000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	1.144245766	2
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	4000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	0.608184325	1
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	3000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	0.072122883	1
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	2000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	-0.463938558	0
12	0.25	1000	1.26E-11	1E-11	220	2.2E-10	1000000	1.2	10%	7.94304E-08	6.74882	5.36061E-07	-1	0

**以上公式成立的前提条件是：每个通道都是单独的信号源**